



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08222606 A**(43) Date of publication of application: **30 . 08 . 96**

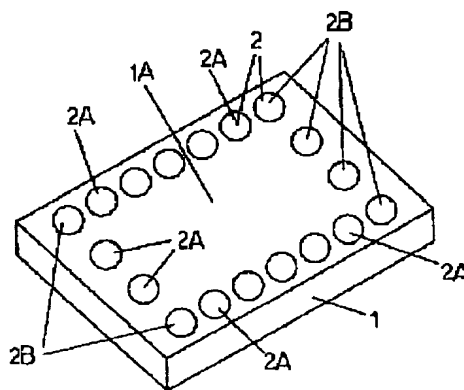
(51) Int. Cl.

H01L 21/60
H01L 21/321
(21) Application number: **07029036**(22) Date of filing: **17 . 02 . 95**(71) Applicant: **ALPS ELECTRIC CO LTD**
(72) Inventor: **SHIRATO TSUNEO**
SAITO TATSUYA
IWATA MASANORI
(54) **ATTACHMENT OF SEMICONDUCTOR CHIP**

(57) Abstract:

PURPOSE: To decrease drastically faulty connections by improving the yield of semiconductor chip connections for a circuit pattern.

CONSTITUTION: In a structure for bonding a semiconductor chip 1 such as an IC or an LSI on a film substrate by connecting it to a circuit pattern formed on the film substrate, there are formed on a surface of the semiconductor 1 connected to the film substrate a plurality of first bumps 2A of fusible metal which are electrically connected to the circuit pattern on the film substrate 3, and a plurality of second bumps 2B of fusible metal which are not electrically connected to the circuit pattern on the film substrate.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-222606

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1	9169-4M	H 0 1 L 21/60	3 1 1 S
21/321			21/92	6 0 2 N

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平7-29036

(22) 出願日 平成7年(1995)2月17日

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 白土 統雄

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 斉藤 達也

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 岩田 征憲

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

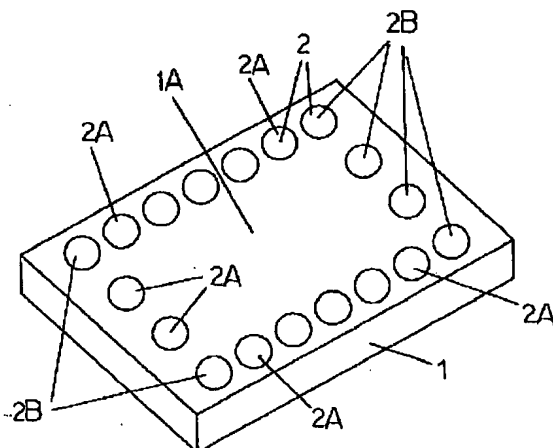
(74) 代理人 弁理士 中尾 俊輔 (外1名)

(54) 【発明の名称】 半導体チップの接続構造

(57) 【要約】

【目的】 回路パターンに対する半導体チップの接続の歩留まりを向上させ、接続不良を激減させる。

【構成】 I C、L S I等の半導体チップ1をフィルム基板3に形成された回路パターンに接続して前記半導体チップ1を前記フィルム基板3に実装するための半導体チップ1の接続構造であって、前記半導体チップ1の前記フィルム基板3と接続される面に、熔融金属からなり、前記フィルム基板3上の回路パターンと電気的に接続される複数個の第1バンプ2Aと、熔融金属からなり前記フィルム基板3上の回路パターンと電気的に接続されない複数個の第2バンプ2Bとを形成する。





(2)

特開平8-222606

2

【特許請求の範囲】

【請求項1】 IC、LSI等の半導体チップをフィルム基板に形成された回路パターンに接続して前記半導体チップを前記フィルム基板に実装するための半導体チップの接続構造であって、前記半導体チップの前記フィルム基板と接続される面に、熔融金属からなり、前記フィルム基板上の回路パターンと電気的に接続される複数の第1バンパと、熔融金属からなり前記フィルム基板上の回路パターンと電気的に接続されない複数の第2バンパとを形成したことを特徴とする半導体チップの接続構造。

【請求項2】 前記複数の第1バンパを直線的に配列させて形成し、前記複数の第2バンパを直線的に配列された前記第1バンパ列の両端部の各第1バンパに隣接し前記第1バンパ列の延長上となる位置に形成したことを特徴とする請求項1に記載の半導体チップの接続構造。

【請求項3】 前記第2バンパを前記半導体チップの前記フィルム基板と接続される面におけるコーナー部に形成したことを特徴とする請求項1に記載の半導体チップの接続構造。

【請求項4】 前記第1バンパならびに第2バンパを、前記フィルム基板と接続される面をほぼ2分割する仮想中心線に対してほぼ対称となる位置にそれぞれ形成したことを特徴とする請求項1に記載の半導体チップの接続構造。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体チップと外部引き出し電極とを電気的に接続させる接続構造に係わり、特に、フィルム基板の回路パターンと接続される熔融金属バンパが形成された半導体チップの接続構造に関する。

【0002】

【従来の技術】 近年、IC、LSI等の半導体チップの小型化、高集積化および多ピン化に伴い、所定の基板にこれら半導体チップを高密度に接続する技術が不可欠となっており、この半導体チップの接続技術として、フィルム状の基板（以下、フィルム基板という）に対して半導体チップを一括して自動的に実装することが行われている。

【0003】 図3は、従来の半導体チップの1例を示すものであり、ICやLSI等のほぼ直方体形状に形成された半導体チップ1には、図示しない複数の接続パッドが形成されており、各接続パッドには、ほぼ球形の半田バンパ2が予め融着形成されている。

【0004】 図3に示す半導体チップ1は、IC回路デザイン上の制約から、半導体チップ1の前記フィルム基板3と接続される面を構成する4辺のうち3辺に対してのみ半田バンパ2は形成されており、前記半田バンパ2

は、それぞれの辺における中央部に複数個ずつ直線的に配列されているものである。

【0005】 一方、前記半導体チップ1が実装されるフィルム基板3の表面には、銅箔等からなり前記半導体チップ1の接続パッドに接続された半田バンパ2に対応する所望形状の回路パターン4が形成されており、この回路パターン4は、例えば、所望のパターンに応じてマスクを形成したフィルム基板3に銅箔をエッチングする等の手段により形成されている。

【0006】 次に、従来の半導体チップ1とフィルム基板3の接続構造について説明する。

【0007】 まず、前記半導体チップ1の半田バンパ2を前記フィルム基板3の回路パターンに当接させた状態で、ヒーターチップ4により加圧するとともに加熱することにより、前記半導体チップ1の半田バンパ2を熔融させる。

【0008】 そして、前記半導体チップ1をフィルム基板3に接続させた後、直ぐに前記半導体チップ1と前記フィルム基板3との間隔をわずかに引き伸ばして離間させて、前記半田バンパ2をその中央部がくびれたほぼ鼓状に形成し、この状態で半田バンパ2を冷却固化させることにより半導体チップ1とフィルム基板3とが接続される。

【0009】

【発明が解決しようとする課題】 ところが、このような従来の半導体チップ1とフィルム基板3との接続構造によると、略四角形の半導体チップ1の半田バンパ2が形成される面を構成する4辺のうち3辺にのみ前記半田バンパ2が形成されているような場合、半導体チップ1とフィルム基板3をヒーターチップ4により圧力をかけて当接させると、図4に示すように、左右前後における半田バンパ2の有無によりヒーターチップ4の圧力が全部の半田バンパ2に対して均等に作用せず、前記圧力が弱い一部の半田バンパ（図中Xに示す）とフィルム基板3との接触不良が生じ、その後の加熱融着が適切に行われず、結果として接続不良を多発していた。

【0010】 また、接続後においても、加熱時の半導体チップ1とフィルム基板3の熱膨張とその後の熱収縮において、膨張係数の違いにより収縮差が生じるため半田バンパ2に残留応力が発生し、最悪の場合には接続不良となるという問題があった。特に、熱収縮のダメージは、半導体チップ1の1辺に配列された半田バンパ2のうち、一番端（両端）に位置する半田バンパ2に収縮応力が生じて接続不良となっていた。

【0011】 さらに、半導体チップ1を接続したフィルム基板3は、巻き取られた状態または折曲げられた状態で扱われるが、この際に、フィルム基板3の曲げられた部分は、その半導体チップ1のコーナー部のみに負荷が作用するため、最悪の場合は、その曲げられたフィルム基板3の部分の半導体チップ1のコーナー部が断線し、

接続不良となるなどの問題を起こしていた。

【0012】本発明は前記した点に鑑みてなされたものであり、回路パターンに対する半導体チップの接続の歩留まりを向上させ、接続不良を激減させることができる半導体チップの接続構造を提供することを目的とする。

【0013】

【課題を解決するための手段】前記目的を達成するために、本発明の請求項1に記載の半導体チップの接続構造は、IC、LSI等の半導体チップをフィルム基板に形成された回路パターンに接続して前記半導体チップを前記フィルム基板に実装するための半導体チップの接続構造であって、前記半導体チップの前記フィルム基板と接続される面に、熔融金属からなり、前記フィルム基板上の回路パターンと電気的に接続される複数の第1バン

プと、熔融金属からなり前記フィルム基板上の回路パターンと電気的に接続されない複数の第2バン

プとを形成したことを特徴とする。

【0014】また、請求項2に記載の半導体チップの接続構造は、請求項1に記載の半導体チップの接続構造において、前記複数の第1バン

【0015】

プとを形成したことを特徴とする。

【0016】

【作用】本発明の半導体チップの接続構造によれば、電気的接続を目的としない第2バン

プとを、前記回路パターンと半導体チップとの接続後の収縮応力が一番作用する部分に配設することにより、前記回路パターンと電気的に接続される第1バン

【0017】

プのダミーバン

プとして用いることができ、実使用時において確実に接続されていなければならない前記回路パターンと第1バン

【0018】

プとの接続不良を防止することができる。

【0019】

以下、本発明の実施例を図1および図2を参照して説明する。

図1および図2は本発明に係る半導体チップおよびその半導体チップとフィルム基板との接続構造の1実施例を示したものである。

【0020】図1に示す半導体チップ1には、図示しない複数の接続パッドが形成されており、各接続パッド部分には、ほぼ球状の半田バン

プ2が予め融着形成されている。なお、このバン

プを形成する材料としては前述の半田に拘らず、熔融金属であればよく、さらには低融点金属であればなお好ましい。

【0021】前記半田バン

プ2は、ほぼ直方体形状の半導体チップ1の前記半田バン

プ2が形成される面1Aを構成する4辺において複数の

直線的なほぼ等間隔に配列形成されている。これらの半田バン

プ2は、この面1Aのコーナー部に位置する4つの半田バン

プ2が隣接する2列において共通するようにして相互に対向する4個の半田バン

プ2からなる2列と相互に対向する7個の半田バン

プ2からなる合計4列に形成されている。

【0022】この直線的に配列されている4個の半田バン

プ2の列のうち1列は、半導体チップ1がフィルム基板3に接続されても実質的な電気的接続を必要とされていないダミーバン

プ（以下、第2バン

プ2Bと記す）であり、その第2バン

プ2Bの列と対向する列を構成する4個の半田バン

プ2、2…のうちその両端部（半導体チップ1の前記半田バン

プ2が形成される面における4コーナーのうちの2つのコーナー部）に位置する半田バン

プ2、2も、同じく実質的な電気的接続を必要とされていない第2バン

プ2B、2Bである。そして、前記第2バン

プ2B以外の半田バン

プ2が、半導体チップ1がフィルム基板3に接続された時に電気的に接続される半田バン

プ2（以下、第1バン

プ2Aと記す）となっている。

【0023】前記半導体チップ1が接続されるフィルム基板3の表面には、銅箔等からなり前記半導体チップ1の各第1バン

プ2Aに対応する所望形状の回路パターン（図示せず）と、同じく銅箔等からなり前記半導体チップ1の各第2バン

プ2Bに対応し、電気的な回路を形成しないダミーパターン（図示せず）が形成されており、これらの回路パターンおよびダミーパターンは、例えば、所望のパターンに応じてマスクを形成したフィルム

基板3に銅箔をエッチングする等の手段により形成されるものである。また、本実施例においては、前記配線パターン5の表面には、耐熱応力のあるポリイミドが被膜されており、前記フィルム基板3は、前記銅箔等からなるパターン層3Aと被膜層3Bの2層のフィルム基板として形成されている。また、本実施例においては、前記ポリイミドにより、前記回路パターンの接続端子が表面に露出するタブが形成されている。

【0024】次に、本実施例による半導体チップ1とフィルム基板3との接続構造について説明する。

【0025】まず、前記半導体チップ1の半田バン

プ2は、その図示しない接続パッドへの形成時に、表面張力の作用でほぼ球形に形成されており、前記半導体チップ1の半田バン

プ2を前記フィルム基板3の表面に露出す

る回路パターンとの接続端子部分に当接させた状態で、図2に示すように、ヒーターチップ4により加圧し、前記半田バンプ2をフィルム基板3を介して加熱する。

【0026】この時、本実施例においては、半導体チップ1の前記フィルム基板3と接続される面の4辺に沿って第1バンプ2Aおよび第2バンプ2Bからなる半田バンプ2の列が形成されているため、前記ヒーターチップ4の加圧が半田バンプ2に対して均等に作用することになり、よって、加熱による前記半田バンプ2の溶融も適当かつ均等になされることになる。

【0027】つまり、第2バンプ2Bは、接続時には、ヒーターチップ4の荷重バランスの調整に役立つことになる。

【0028】そして、前記半田バンプ2を溶融させた後、前記半導体チップ1とフィルム基板3との間隙をわずかに広げることにより、前記半田バンプ2をその中央部がくびれたほぼ鼓状に形成し、この半田バンプ2を冷却固化するようになっている。例えば、直径が約70～80μmの半田バンプ2を使用する場合、半導体チップ1とフィルム基板3との間隙を半田バンプ2の溶融時に20～30μmあるいはそれ以上広げることにより、半田バンプ2をほぼ鼓状に形成することができるものである。

【0029】その後、前記半導体チップ1およびフィルム基板2の表面を樹脂により被覆することにより、所望の半導体回路基板を形成する。

【0030】このように、本実施例においては、実際に電気的接続を必要とする第1バンプ2Aの他に、接続補強および接続時の荷重バランスのために第2バンプ2Bを形成してあるので、ヒーターチップ5が半導体チップ1とフィルム基板3に対して圧接する時、ヒーターチップ5の当接に傾きが生じるようなことなく、すべての半田バンプ2に対して均等に圧接することができる。

【0031】よって、実質的な電気的接続を必要とされる第1バンプ2Aと回路パターンとの接続を確実なものとすることができる。なお、第2バンプ2Bとダミーパターンとの接続も確実に行われるが、前記第2バンプ2Bおよびダミーパターンはもともと電気的な接触を必要としていないため、電気的接続の良、不良は考慮しなくてよい。

【0032】また、接続後においては、フィルム基板2と半導体チップ1との熱収縮差により生じる応力に対しても、一番その応力が生じることになるコーナー部を補強する第2バンプ2Bを形成したことにより、前記第2バンプ2Bにその負荷を吸収させることができるので、実質的な電気的接続を必要とする第1バンプ2Aに前記負荷がかかることを防止することができる。

*

*【0033】なお、本発明は前記実施例に限定されるものではなく、必要に応じて種々変更することができるものである。

【0034】例えば、前述の低溶融金属としては、例えば、金を使用することもできる。また、フィルム基板は前述した2層構造のものに限定されず、3層構造等のものを用いてもよく、さらに、前記回路パターンの表面に溶融金属メッキ等を施し、溶融金属バンプとの接続時に双方を溶融させることにより接続するようにすることも可能である。

【0035】また、前記溶融金属バンプの配列についても、実質的な電気的接続を目的とする溶融金属バンプ以外に、その溶融金属バンプを補強するための溶融金属バンプを適所に形成したものであればよく、本実施例の配列に拘束されるものではない。

【0036】

【発明の効果】このように本発明は構成され作用するものであるから、半導体チップの前記フィルム基板と接続される面におけるコーナー部や電気的接続のない部分にダミーバンプとしての第2バンプを形成することで、ヒーターチップがフィルム基板と半導体チップを圧接する時に荷重の4方向のバランスを良好にしてすべての半田バンプに対して均等に加圧、熱伝導することができ、また、フィルム基板と半導体チップとの熱収縮差により生じる応力等に対しても、一番その応力が生じる前記コーナー部に形成された第2バンプをもって対処することで、電気的接続を目的とする第1バンプと回路パターンとの接続不良を激減させることができ、回路パターンに対する半導体チップの接続の歩留りも大幅に向上させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本実施例に用いる半導体チップの全体斜視図

【図2】本実施例の半導体チップの接続構造を示す説明図

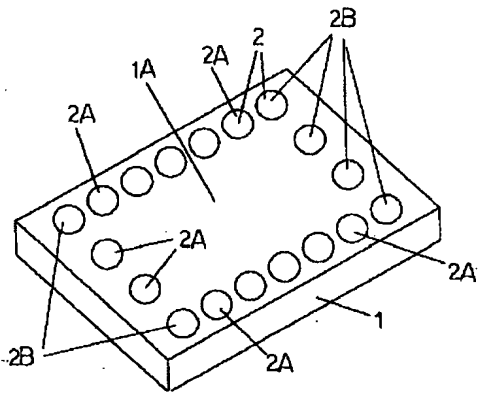
【図3】従来の半導体チップの全体斜視図

【図4】従来の半導体チップの接続構造における不具合を示す説明図

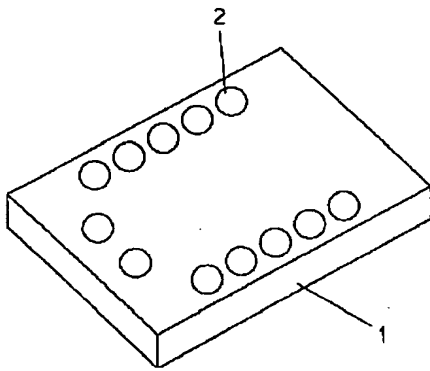
【符号の説明】

- 1 半導体チップ
- 1A 半田バンプ形成面
- 2 半田バンプ
- 2A 第1バンプ
- 2B 第2バンプ
- 3 フィルム基板
- 3A パターン層
- 3B 被膜層
- 4 ヒーターチップ

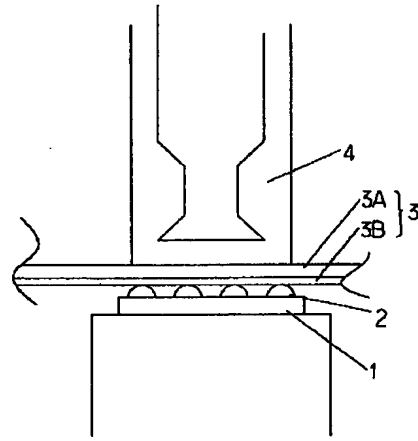
【図1】



【図3】



【図2】



【図4】

